

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 03-105408

(43)Date of publication of application : 02.05.1991

(51)Int.Cl.

G06F 1/04

(21)Application number : 01-241742

(71)Applicant : CANON INC

(22)Date of filing : 20.09.1989

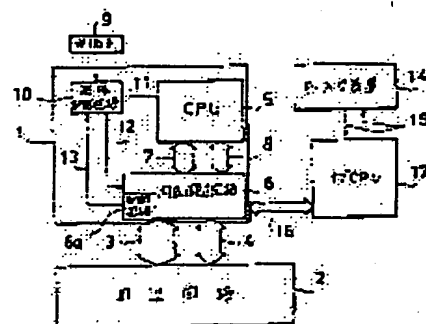
(72)Inventor : KATOU AKIO

(54) ELECTRONIC EQUIPMENT

(57)Abstract:

PURPOSE: To considerably reduce power consumption by providing a means stopping the supply of a clock for CPU and a control circuit member in an internal part, for a period where the prescribed control processing of a control means is not required.

CONSTITUTION: At the time of operating a key input by a key input device 14, the control circuit 6a detects key input, controls an oscillation control circuit 10 and supplies the operation clock via signal lines 10 and 12. When time without key input reaches a prescribed time, CPU 5 stops the supply of the clock for CPU 5 and a built-in peripheral circuit 6 except for the circuit 6a. The circuit 6a always supervises the key input of the device 14 by sub-CPU 17 in such a state and starts the supply of the clock when there is key input. Thus, power consumption can considerably be reduced and the life of a power battery can be prolonged.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

⑩ 日本国特許庁(JP)

⑪ 特許出願公開

⑫ 公開特許公報(A) 平3-105408

⑬ Int. Cl.⁹

G 06 F 1/04

識別記号

3 0 1 C

庁内整理番号

7459-5B

⑭ 公開 平成3年(1991)5月2日

審査請求 未請求 請求項の数 1 (全4頁)

⑮ 発明の名称 電子機器

⑯ 特 願 平1-241742

⑰ 出 願 平1(1989)9月20日

⑱ 発 明 者 加 藤 秋 朗 東京都大田区下丸子3丁目30番2号 キヤノン株式会社内

⑲ 出 願 人 キヤノン株式会社 東京都大田区下丸子3丁目30番2号

⑳ 代 理 人 弁理士 加 藤 卓

明 細 書

1. 発明の名称

電子機器

2. 特許請求の範囲

1) 内部にCPUおよびその外部の回路部材の制御に必要な制御回路部材を一体化した制御手段を有する電子機器において、

前記制御手段の所定制御処理を必要としない期間において前記制御手段内部のCPUおよび制御回路部材に対するクロック供給を停止させる動作制御手段を設けたことを特徴とする電子機器。

3. 発明の詳細な説明

〔産業上の利用分野〕

本発明は電子機器、特に内部にCPUおよびその外部の回路部材の制御に必要な制御回路部材を一体化した制御手段を有する電子機器に関するものである。

〔従来の技術〕

従来より、電池駆動の電子機器において、消費電力を低減するため、主電源がオンの状態でも

データ処理や計算を行っていない(たとえばキー入力待ち)期間では、主制御部としてのCPUへのクロック供給を停止し、キー入力に応じてCPUの動作を再開する回電技術が知られている。

〔発明が解決しようとする課題〕

一方、機器の小型化、コストダウンのため、機器の制御回路の集積化が進んでおり、主制御部のCPU、ROM、RAMあるいは周辺内蔵回路などを1チップLSI化したマイクロプロセッサが知られている。

ところが、このようなプロセッサでも、上記の節電モードではCPU部へのクロック供給のみを停止し、他の内蔵周辺回路にはクロックを供給しており、機器の消費電力を大幅に低減することはできなかった。

本発明の課題は、以上の問題を解決し、電子機器の消費電力を大きく低減することにある。

〔課題を解決するための手段〕

以上の課題を解決するために、本発明において

は、内部にCPUおよびその外部の回路部材の制御に必要な制御回路部材を一体化した制御手段を有する電子機器において、前記制御手段の所定制御処理を必要としない期間において前記制御手段内部のCPUおよび制御回路部材に対するクロック供給を停止させる動作制御手段を設けた構成を採用した。

【作用】

以上の構成によれば、制御手段内のCPUのみならず、外部の回路部材の制御に必要な制御回路部材に対するクロック供給を停止させることにより消費電力を低減できる。

【実施例】

以下、図面に示す実施例に基づき、本発明を詳細に説明する。

第1図において、符号1はCPU5、発振制御回路10およびこれらの回路にクロックを供給する発振制御回路10を1チップ化したマイクロプロセッサである。

マイクロプロセッサ1の発振制御回路には、水

晶振動子などからなる発振子9が接続される。CPU5、内蔵周辺回路6に対する発振制御回路10からのクロック供給は、独立した信号線11、12を介して行なわれる。

CPU5と内蔵周辺回路6は、アドレスバスおよびデータバスからなる内部バス7および各種制御線8によって接続される。内蔵周辺回路6と外部の周辺回路（たとえばプリンタや表示器などからなる）2は、外部バス3および各種制御線（リード/ライト、あるいはチップセレクト線などを含む）4によって接続される。

本実施例では、キー入力サブCPU17を介して制御する。すなわち、サブCPU17は公知のキー入力制御用のCPUなどから構成され、内蔵周辺回路6とバス16を介して接続される。サブCPU17は、信号線15を介して公知のキーマトリクス回路などを用いてキー入力を検出するキー入力装置14と接続される。

サブCPU17は定期的にキー入力装置14に対してキースキャン信号を出力し、キー入力が

あった場合その入力に対応した情報をバス16を介してマイクロプロセッサ1に伝達する。

CPU5および内蔵周辺回路6に対する信号線11、12を介したクロック供給は、内蔵周辺回路6に含まれる制御回路が信号線13を介して発振制御回路10を制御することによってオンまたはオフされる。内蔵周辺回路6に含まれるこの制御回路6aは内蔵周辺回路6の他の部分に対するクロック供給が停止されている時でも動作可能であり、制御回路6aはサブCPU17からのキー入力を常時検出できるものとする。

なお、装置の電源は、不図示の電池および安定化回路などからなる電源回路から供給されるものとする。

制御回路6aを用いたマイクロプロセッサ1全体の制御手順を示した状態遷移図を、第2図に示す。第2図の手順は主電源投入状態で行なわれる。第1図の構成において通常のデータ処理（たとえば計算、言語処理など）を行なっている時（第2図の状態41）は、マイクロプロセッサ1内

ではCPU5、内蔵周辺回路6に動作クロックが供給され、所定の処理動作を行なっている。

この処理動作はキー入力装置14を介した入力操作（サブCPU17によって検出され、マイクロプロセッサ1に入力される）に応じて進められる。このキー入力待ち状態41のデータ処理内部で、あるいは所定のデータ処理が終了した場合には状態42で検出される。

状態42におけるマイクロプロセッサのキー入力待ち期間では、内蔵タイマなどを用いてキー入力が連続して行なわれない時間が計測されており、このキー入力無しの時間が一定値に達すると状態43に進む。

状態43ではマイクロプロセッサ1のCPU5は内蔵周辺回路6を介して周辺回路2の消費電力が最も少なくなるように、また供給するクロックが停止する前の状態を保持できるように設定するとともに、状態44ではCPU5および内蔵周辺回路6の制御回路6aを除く部分に対するクロック供給を停止する。このクロック供給は信号線

11、12を遮断するか、あるいは発振そのものを停止させることによって行なう。

状態43、44では、内蔵周辺回路6内の制御回路6aは常にサブCPU17からのキー入力情報を検出している。何らかのキー入力がキー入力装置14で行なわれると、サブCPU17は入力されたキーのコードをCPU5、あるいは内蔵周辺回路6が再び動作し始めた時に利用できるようにラッチし、続いて信号線16に含まれる所定のラインを使用して制御回路6aにキー入力があったことを報知する。

制御回路6aはこれを検出し、信号線13を介して発振制御回路10からCPU5、内蔵周辺回路6に対するクロック供給を開始させる。このクロック供給開始は、信号線11、12を接続状態とする、あるいは発振そのものを開始させることによって行なう。CPU5は再起動されるとサブCPU17がラッチしたキー入力データを取り込んで、状態41のデータ処理に戻る。

以上のように、本実施例による電子機器におい

ては、周辺回路を含むマイクロプロセッサのデータ処理を必要としない時、プロセッサのほぼ全てのシステム動作を停止しているので、消費電力を大幅に節約し、電池の寿命を延長して機器の駆動時間を延ばすことができるという優れた効果がある。

また、上記実施例によればキー入力をサブCPU17で検出し、マイクロプロセッサ1が休止している状態でも入力されたキーの情報を保持できるため、ユーザは何ら再起動の操作を行なうことなく、所望のキー操作を行なうだけでマイクロプロセッサの休止、あるいは再起動を意識せずに作業を行なえる。

以上ではサブCPUを用いる構成を示したが、第3図のようにサブCPUを用いず、キー入力装置14のキー操作を周辺回路2に含まれるキースキャン回路18によって行なう構成も考えられる。

キー入力装置14はキースキャン回路18と信号線19によって接続され、また第1図と同様の

構成を有するマイクロプロセッサ1内の内蔵周辺回路6に含まれる制御回路6a（不図示）に対して動作開始要求を行なうための信号線20によってキー入力装置14とマイクロプロセッサ1を接続している。その他の構成は、第1図と全く同様である。

キー入力装置14は何らかのキー入力があった場合には信号線20を介して所定の信号を入力し、マイクロプロセッサ1内の制御回路6aによってCPU5および内蔵周辺回路6に対するクロック供給を再開させる。キー入力データはキースキャン回路18でラッチし、マイクロプロセッサ1の動作が再開した後このラッチされたキーデータを読み取らせる。

このようなより簡略な構造によっても、前記実施例とほぼ同様の効果を期待できる。なお、マイクロプロセッサ1内のCPU5、内蔵周辺回路6に対するクロック供給の停止制御は、前記実施例と全く同じである。

第3図の実施例ではキー入力装置14は何らか

のキー操作（全ての入力キーのうちいずれかの、少なくとも1つ）が行なわれた場合、信号線20を介して再起動要求を発生するが、第4図に示すように特定のスイッチ23を設け、このスイッチ23の操作によってマイクロプロセッサ1の再起動を行なってもよい。

これにより、キー入力装置14の構造をより簡略にすることができる。ただし、この構成ではマイクロプロセッサ1の再起動のためにユーザのスイッチ23の操作が必要となるため、ユーザはマイクロプロセッサ1の動作状態ないし休止状態を明確に区別できるように、不図示の表示器などによって適当な表示を行なう必要がある。

なお、スイッチ23の接点の1つは抵抗21を介して電源電圧にプルアップし、他方の電極を抵抗22を介して接地電位にプルダウンした状態でマイクロプロセッサ1の内蔵周辺回路6に含まれる制御回路6aと接続し、スイッチ23の操作状態を検出する。

以上では、電源に電池を使用することを前提と

したが、消費電力低減効果は他の電源を用いる装置においても同様であるのはいうまでもない。

【発明の効果】

以上から明らかなように、本発明によれば、内部にCPUおよびその外部の回路部材の制御に必要な制御回路部材を一体化した制御手段を有する電子機器において、前記制御手段の所定制御処理を必要としない期間において前記制御手段内部のCPUおよび制御回路部材に対するクロック供給を停止させる動作制御手段を設けた構成を採用しているので、制御手段内のCPUのみならず、外部の回路部材の制御に必要な制御回路部材に対するクロック供給を停止させることにより消費電力を大幅に低減でき、電池を電源とする装置においてはその寿命を延長できるという優れた効果がある。

4. 図面の簡単な説明

第1図は本発明を採用した電子機器の構成を示したブロック図、第2図は第1図の装置の制御を示した状態遷移図、第3図および第4図はそれぞ

れ異なる電子機器の構成を示したブロック図である。

- | | |
|---------------|-------------|
| 1 - マイクロプロセッサ | 2 - 周辺回路 |
| 5 - CPU | 6 - 内蔵周辺回路 |
| 9 - 発振子 | 10 - 発振制御回路 |
| 14 - キー入力装置 | 16 - バス |
| 17 - サブCPU | |
| 18 - キースキャン回路 | |

特許出願人 キヤノン株式会社
代理人 弁理士 加藤 卓

